

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8538552

Basic Patent (No,Kind,Date): JP 1018266 A2 890123 <No. of Patents: 001>

MANUFACTURE OF AMORPHOUS SILICON THIN FILM TRANSISTOR (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): ISHIHARA SHINICHIRO; NAGATA SEIICHI

IPC: *H01L-029/78; H01L-027/12

Derwent WPI Acc No: C 89-065654

JAPIO Reference No: 130196E000109

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1018266	A2	890123	JP 87175176	A	870714 (BASIC)

Priority Data (No,Kind,Date):

JP 87175176 A 870714

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02720666 **Image available**

MANUFACTURE OF AMORPHOUS SILICON THIN FILM TRANSISTOR

PUB. NO.: **01-018266** [JP 1018266 A]

PUBLISHED: January 23, 1989 (19890123)

INVENTOR(s): ISHIHARA SHINICHIRO

NAGATA SEIICHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-175176 [JP 87175176]

FILED: July 14, 1987 (19870714)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 755, Vol. 13, No. 196, Pg. 109, May 10, 1989 (19890510)

ABSTRACT

PURPOSE: To simplify the manufacturing process of an amorphous silicon thin film transistor by forming source and drain electrodes on an n-type amorphous silicon with an Al-evaporated film and by treating these electrodes with heat, thereby crystallizing the n-type amorphous silicon of an Al-evaporated part.

CONSTITUTION: Source and drain electrodes are formed with an Al-evaporated film 8 and after making these electrodes come into contact with an n-type amorphous silicon 7, they are treated with heat and the n-type amorphous silicon 7 of a contacting part with the Al-evaporated film 8 is crystallized. Direct contact between an amorphous silicon (a-Si:H) and Al can be used and its product is so thermally stable that its quality eliminates the need for performing an excess process to prevent mutual diffusion between Si and Al by using other metallic film and so on. In this way amorphous silicon transistors are obtained through a simple process at a low cost.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭64-18266

⑤ Int. Cl. 4

H 01 L 29/78
27/12

識別記号

311

庁内整理番号

P-7925-5F
7514-5F

⑩ 公開 昭和64年(1989)1月23日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 非晶質シリコン薄膜トランジスタの製造方法

⑦ 特願 昭62-175176

⑧ 出願 昭62(1987)7月14日

⑨ 発明者 石原 伸一郎

大阪府門真市大字門真1006番地

松下電器産業株式会社内

⑩ 出願人 永田 清一

大阪府門真市大字門真1006番地

松下電器産業株式会社内

⑪ 代理人 弁理士 中尾 敏男

外1名

明細書

1. 発明の名称

非晶質シリコン薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁性基板、ゲート電極、非晶質の絶縁性薄膜、*i*型の非晶質シリコン薄膜、*n*型の非晶質シリコン薄膜、ソース電極およびドレイン電極とを構成要素として含む薄膜トランジスタの製造方法に際し、前記ソース電極およびドレイン電極を*A*1蒸着膜で形成し、前記*n*型非晶質シリコンと接触させた後、熱処理を施し、前記*A*1蒸着膜との接触部分の*n*型非晶質シリコンを結晶化させることを特徴とする非晶質シリコン薄膜トランジスタの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、活性層として水素を含む非晶質シリコン (*a-Si:H*) 等を用いて形成された薄膜トランジスタ (TFT) の製造方法に関する。

従来の技術

*a-Si:H*を用いたTFTは200°C前後の比較的低温で大面積にわたって容易に形成されるため、一次元センサや、液晶ディスプレイに応用されるべく研究されている。*n*型の*a-Si:H*膜は*A*1蒸着膜と良好なオーム接觸特性を示すにも関わらず、熱的な不安定性が問題となって、*a-Si:H*を用いたTFTのソース、ドレイン電極は第4図に示すようにたとえば*Ti, Cr, MoSi, Ta, Ni*などの金属膜11を*n*型*a-Si:H*7と*A*18との間にさんで、*a-Si:H*と*A*1との加熱による相互作用を緩和していた。1はガラス基板、2はゲート絶縁膜、4は*i*型層、5は保護膜である。

発明が解決しようとする問題点。

*a-Si:H*と*A*1との相互拡散を防止するため、これらの膜との間に前述の金属をはさむ場合には、微細加工に必要なエッティング液の選定の難しさ、製造工程中の汚染、多層膜構造のために生じる層間ストレスの発生、それによる膜のはがれ、浮きや、パターン異常、電池効果による金属の溶

出等多くの問題があった。また、a-Si:HとAlとを直接接触させた場合、ジャーナル・オブ・アプライド・フィジクス (Journal of Applied Physics) 53、3909 (1982) にもあるように、170℃迄は抵抗は下がるもの、それ以上の温度では抵抗は増大した。これはAlとSiとが界面で相互に拡散したために発生したものであった。本発明は、a-Si:HとAlとの接触特性を分析して得られた結果をもとにした発見が基礎となっている。

問題点を解決するための手段

本発明はn型非晶質シリコン上にソース電極及びドレイン電極をAl蒸着膜で形成し、熱処理を施すことによってAl蒸着部分のn型非晶質シリコンを結晶化させる。

作用

非晶質シリコンをましくはa-Si:HとAlとは熱処理を行うとa-Si:H中の水素が離脱することによってAl、Siの相互拡散が助長さ

する断面図を示す。

ガラス基板基板1上にCrによるゲート電極2を形成し、高周波グロー放電装置で、ゲート絶縁膜3、n型a-Si:H膜4、保護膜5を形成する(第2図a、e)。次に、ソース、ドレイン部のコンタクトホール6を開ける(第2図b、f)。次に、n型a-Si:H膜7を形成する(第2図c、g)。次に、Alを蒸着し、ソース、ドレイン8を形成する(第2図d、h)。この状態で250℃以上、好ましくは300℃の熱処理を行う。これによりn型a-Si:H膜7が結晶化する。この様子を拡大図を以て示すと第3図になる。n型層7は結晶化層9となりn型層7はリンの押し込みによってi型層4の中に入ってくる。10はAlとSiとの混合層である。本発明によってa-Si:HとAlとの接触界面は模式図的には第3図のような断面構造になっている。第2図d、hとの違いは結晶層9の有無にありdの状態のままで不特定な熱的ストレスが加わった場合、前述したとおりAlがa-Si:H膜の上にランダムに

れる。この結果、Si固相中のAl濃度が過飽和となり、Al溶液中でSiが結晶化する。この温度はCuKa1、40kVのX線回折パターンから、250℃前後で始まることが判った。第1図は300℃におけるX線回折パターンである。Siが結晶化すると、固相Siネットワーク中に存在していた不純物、ここではn型のa-Si:H膜であるため、焼を用いているが、焼が結晶粒内から外へ押しやられ、Siの結晶かと共に未だ非晶質のままのa-Si:H内に押し込まれる。Siの結晶かは熱処理温度と時間、更にSiとAlの結晶化領域での供給量によって決定される。これらを選んでやれば、熱的に安定なAlとa-Si:Hとの接触特性を得ることができ、TFTの信頼性を向上させることが出来る。

実施例

以下、実施例に関して平面図、断面図を用いて説明する。第2図a-dに工程を説明する平面図を示し第2図e-hは同a-dのそれぞれI-I'、II-II'、III-III'、IV-IV'線に対応

拡散し、スパイクを形成するなどしてOFF電流増加の原因になる。本発明のように第3図の状態では、n型層7は、Alの均一な拡散によって、結晶層9の全面に均一に押し出されているため、nチャンネルの特性を保存しており、正孔の注入を防ぐため、OFF電流増加は観察されなかった。以上、nチャンネルについて述べてきたが、pチャンネルの場合も同様であり、ホウ素がAlの拡散によってi型層へ押し出されるために良好なAl/a-Si:H接触が形成された。

発明の効果

本発明による製造方法によって、従来熱的に不安定さがあるため避けられていたa-Si:HとAlとの直接接触を用いることができ、熱的にも安定で、他の金属膜などSiとAlとの相互拡散を防止する余分な工程を必要としないため、簡単な工程でしかも低価格で、非晶質シリコントランジスタを製造することが出来る。

4. 図面の簡単な説明

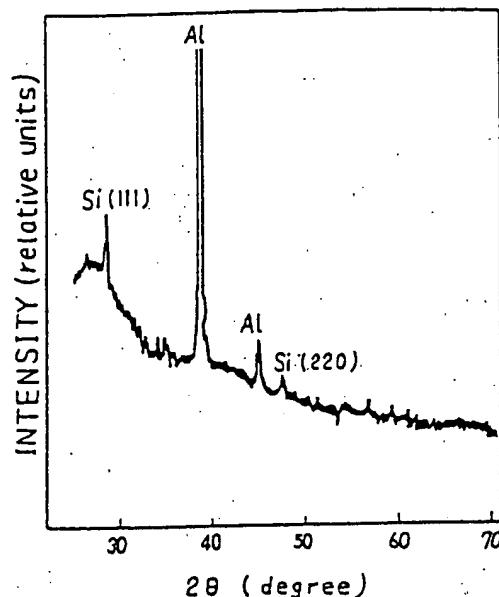
第1図は、n型a-Si:H膜の上にAl蒸着

膜を形成し、300°C、30分間の熱処理を行った後のX線回折パターン図、第2図a-dは本発明による非晶質シリコン薄膜トランジスタの製造工程を示す平面図、第2図e-hはそれぞれ図a-dのI-I'、II-II'、III-III'、IV-IV'線断面図、第3図は本発明によるトランジスタの要部拡大断面図、第4図は従来の非晶質シリコン薄膜トランジスタの断面図である。

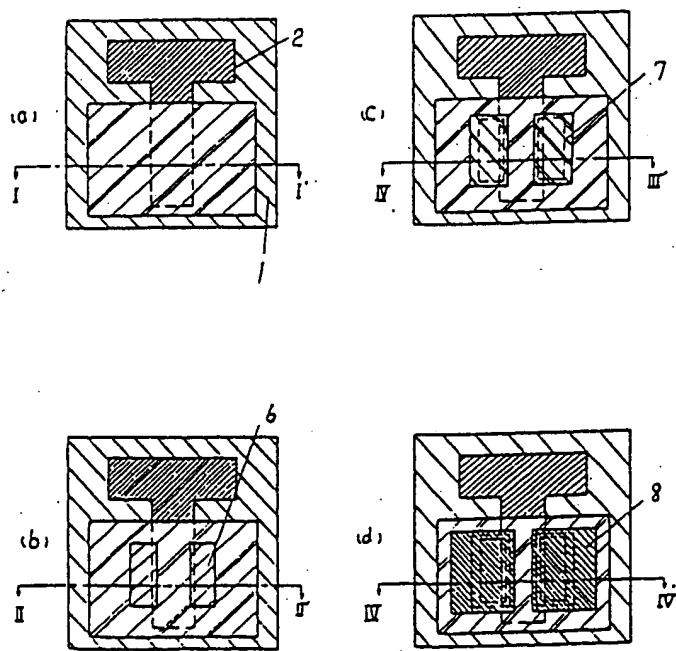
2…ゲート電極、3…ゲート絕縁膜、4…n型a-Si:H膜、8…Al蒸着膜、9…Si結晶層、10…AlとSiとの混合層。

代理人の氏名 弁理士 中尾敏男 ほか1名

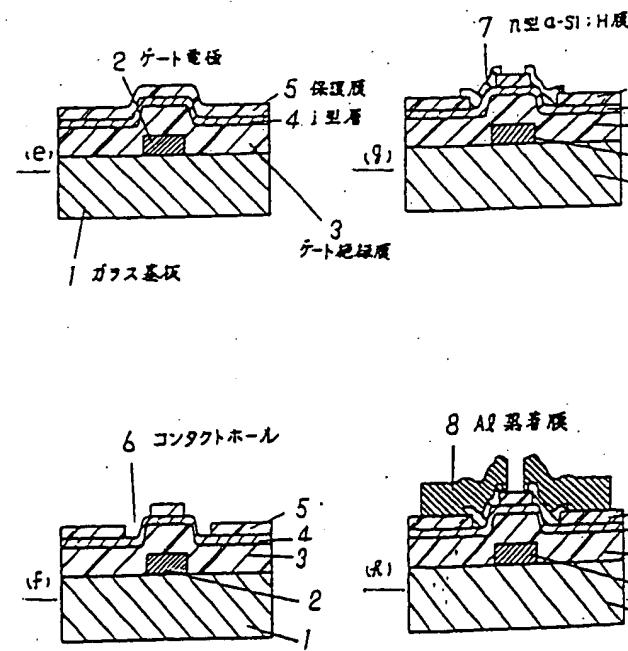
第1図



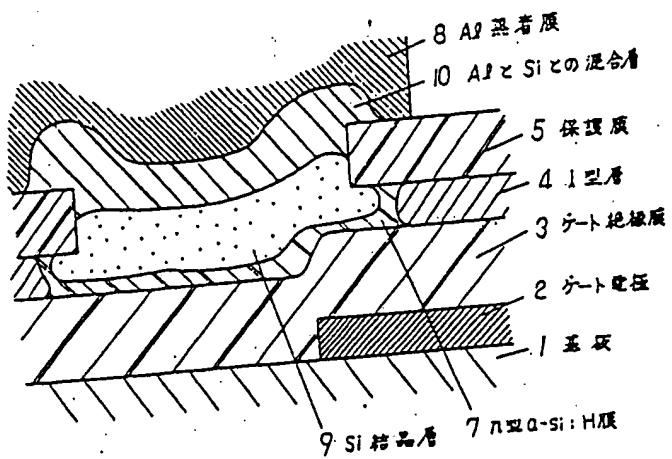
第2図



第2図



第3図



第4図

